



PATENT
Docket No. 20067/OPP031477US

IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE

Applicant(s): Kwan-Ju KOH

Serial No.: 10/749,578

Filed: December 30, 2003

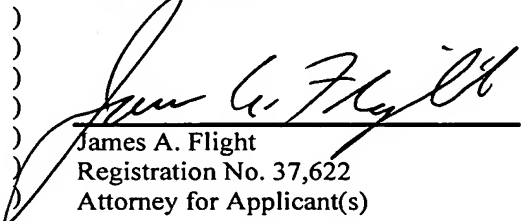
For: "Methods of Forming a Contact Hole in a
Semiconductor Device"

Group Art Unit: 2812

Examiner: Richard A. Booth

) I hereby certify that this paper is being
) deposited with the United States
) Postal Service with sufficient postage
) as first class mail in an envelope
) addressed to: Commissioner for
) Patents, P.O. Box 1450, Alexandria,
) VA 22313-1450 on this date:

) **October 3, 2005**

) 
) James A. Flight
) Registration No. 37,622
) Attorney for Applicant(s)

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No.
10-2003-0006405 filed January 30, 2003, the priority of which is claimed under 35
U.S.C. § 119.

Respectfully submitted,

HANLEY, FLIGHT & ZIMMERMAN, LLC.
USPTO Customer Number 34431
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By:


James A. Flight
Registration No.: 37,622

October 3, 2005



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0006405
Application Number

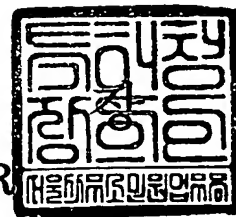
출원 년 월 일 : 2003년 01월 30일
Date of Application JAN 30, 2003

출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 11 월 10 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0013
【제출일자】 2003.01.30
【발명의 명칭】 반도체 소자의 접속홀 형성 방법
【발명의 영문명칭】 Formation method of contact hole in semiconductor device
【출원인】
【명칭】 아남반도체 주식회사
【출원인코드】 1-1998-002671-9
【대리인】
【명칭】 유미특허법인
【대리인코드】 9-2001-100003-6
【지정된변리사】 오원석
【포괄위임등록번호】 2001-041985-8
【발명자】
【성명의 국문표기】 고관주
【성명의 영문표기】 KOH, KWAN JU
【주민등록번호】 691123-1622428
【우편번호】 420-729
【주소】 경기도 부천시 원미구 중4동 금강마을 407동 101호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】
【기본출원료】 10 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 4 항 237,000 원
【합계】 266,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 소자의 접속홀을 형성하는 방법에 관한 것으로, 그 목적은 컨택홀 또는 비아홀의 내부에 보이드가 형성되는 것을 방지하는 것이다. 이를 위해 본 발명에서는, 반도체 기판의 구조물 상에 형성된 금속전절연막 또는 층간절연막을 선택적으로 식각하여 컨택홀 또는 비아홀을 형성함에 있어서, 나선형의 운동성을 가지는 플라즈마를 이용하여 상기 금속전절연막 또는 층간절연막을 식각하여 상기 컨택홀 또는 비아홀의 상부 모서리를 라운딩시킨다.

【대표도】

도 2b

【색인어】

접속홀, 플라즈마, 나선형

【명세서】**【발명의 명칭】**

반도체 소자의 접속홀 형성 방법 {Formation method of contact hole in semiconductor device}

【도면의 간단한 설명】

도 1은 종래 반도체 소자의 접속홀 형성 방법을 도시한 단면도이고,

도 2a 내지 도 2b는 본 발명의 일 실시예에 따른 반도체 소자의 접속홀 형성 방법을 도시한 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자 제조 방법에 관한 것으로, 더욱 상세하게는 금속전절연막 또는 층간절연막을 선택적으로 식각하여 컨택홀 또는 비아홀을 형성하는 방법에 관한 것이다.
- <4> 반도체 소자의 고집적화 추세에 따라 컨택홀 또는 비아홀의 폭 치수도 작아지고 있으며, 따라서 컨택홀 또는 비아홀의 종횡비가 증가하고 있다.
- <5> 이와 같이 컨택홀 또는 비아홀의 종횡비가 커지면서 컨택홀 또는 비아홀 내에 금속물질이 매립함에 있어서, 보이드 없이 완전히 매립하는 것이 어려워지고 있다.
- <6> 도 1은 종래 반도체 소자의 접속홀 형성 방법을 도시된 단면도로서, 이에 도시한 바와 같이, 먼저, 소자의 활성영역으로 정의된 실리콘웨이퍼(1) 상에 소정폭의 게이트(2)를 형성하

는 등의 통상적인 모스 트랜지스터 제조 공정을 진행하고, 게이트(2) 및 활성영역의 실리콘웨이퍼(1) 상면에 실리사이드(3)를 형성한다.

<7> 다음, 실리콘웨이퍼(1)의 상부 전면에 금속전절연막(4)을 두껍게 형성한 후, 화학기계적 연마하여 상면을 평탄화시킨다.

<8> 다음, 금속전절연막(4)을 선택적으로 식각하여 컨택홀(100)을 형성한 후, 컨택홀(100)의 내벽에 베리어금속막(5)을 형성하고, 베리어금속막(5) 상에 금속물질(6)을 형성하여 컨택홀(100)의 내부를 매립한다.

<9> 이 때, 금속전절연막(4)을 종래의 통상적인 방법으로 식각하면 형성되는 컨택홀(100)의 상부 모서리가 직각에 가까운 모양을 가진다.

<10> 그런데 컨택홀(100)의 종횡비가 커지면서 베리어금속막(5)이 컨택홀(100)의 내벽 상에 균일한 두께로 증착되지 못하고 컨택홀(100)의 깊은 부분에 비해 입구부분에 더 두껍게 증착되는 오버행이 발생한다.

<11> 이러한 오버행으로 인해 컨택홀(100)의 내부를 매립하도록 금속물질(6)을 형성할 때 컨택홀(100)의 깊은 부분을 미처 다 매립하기 전에 입구 부분이 막혀버려 결과적으로 컨택홀(100) 내에 금속물질이 완전히 매립되지 못한 빈 공간인 보이드(200)이 남아 있게 된다.

<12> 이러한 보이드(200)에는 후속 공정 진행 중에 이물질이 들어가 반도체 소자 작동에 치명적인 오류를 초래하는 등의 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 그 목적은 컨택홀 또는 비아홀의 내부에 보이드가 형성되는 것을 방지하는 것이다.

【발명의 구성 및 작용】

- <14> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명에서는 컨택홀 또는 비아홀 형성을 위해 금속전절연막 또는 층간절연막을 식각할 때, 컨택홀 또는 비아홀의 상부 모서리 부분을 나선형의 운동성을 가지는 플라즈마를 이용하여 등방성 식각함으로써 라운딩시키는 것을 특징으로 한다.
- <15> 이하, 본 발명에 따른 반도체 소자의 접속홀 형성 방법에 대해 첨부된 도면을 참조하여 상세히 설명한다.
- <16> 도 2a 내지 2b는 본 발명의 일 실시예에 따른 반도체 소자의 접속홀 형성 방법을 도시한 단면도이다.
- <17> 먼저, 도 2a에 도시한 바와 같이, 소자의 활성영역으로 정의된 실리콘웨이퍼(11) 상에 소정폭의 게이트(12)를 형성하는 등의 통상적인 모스 트랜지스터 제조 공정을 진행하고, 게이트(12) 및 활성영역의 실리콘웨이퍼(11) 상면에 실리사이드(13)를 형성한다.
- <18> 이어서, 실리콘웨이퍼(11)의 상부 전면에 금속전절연막(14)을 두껍게 형성한 후, 화학기계적 연마하여 상면을 평탄화시킨다.
- <19> 다음, 금속전절연막(14) 상에 감광막을 도포하고 노광 및 현상하여 컨택홀로 예정된 영역이 제거된 감광막 패턴을 형성한 후, 감광막 패턴을 마스크로 하여 노출된 금속전절연막(14)을 건식식각하여 컨택홀(100)을 형성한다.
- <20> 금속전절연막(14)을 건식식각할 때, 나선형의 운동성을 가지는 플라즈마를 이용하여 등방성 식각하여 컨택홀의 상부 모서리를 라운딩시킨다.

- <21> 나선행의 운동성을 가지는 플라즈마는 현재 공정 라인에서 감광막 제거를 위한 장비에서 많이 사용되고 있으며, 이 장비는 애셔(asher)라고 불리는 것으로서 대폭적인 상품명으로는 램다(Ramda)-200 이 있다.
- <22> 이 장비의 원리는 챔버 내에 전기장이 수직하방으로 가해진 상태에서, 챔버의 주위를 감싸는 코일에 의해 자기장이 수평방향으로 가해지기 때문에, 전하를 띠는 이온이나 라디칼이 회전을 하여 나선행의 운동성을 가지는 원리이다.
- <23> 이러한 장비를 이용할 때 식각가스로서 불소가 함유된 플로린 계열의 가스를 사용할 수 있다.
- <24> 다음, 도 2b에 도시된 바와 같이, 컨택홀(100)의 내벽을 포함하여 금속전절연막(14)의 상부 전면에 베리어막(15)을 형성하고, 베리어막(15) 상에 금속물질(16)을 형성하여 컨택홀(100)의 내부를 매립한다.
- <25> 이 때 컨택홀(100)의 상부 모서리가 라운딩되어 있으므로 컨택홀(100)의 입구부분이 넓어진 효과를 보이며, 따라서 베리어금속막(15) 형성 시 오버행이 발생하지 않는다. 따라서, 보이드의 발생없이 컨택홀(100)의 내부가 금속물질(16)로 완전히 매립된다.
- <26> 상술한 바와 같이, 본 발명의 일 실시예에서는 금속전절연막을 선택적으로 식각하여 컨택홀을 형성하는 경우를 예로 들었으나, 이에 한정될 필요는 없다. 즉, 본 발명의 다른 실시예로서 층간절연막을 선택적으로 식각하여 비아홀을 형성하는 경우에도 적용할 수 있다.

【발명의 효과】

- <27> 상술한 바와 같이, 본 발명에서는 컨택홀 또는 비아홀 형성을 위해 금속전절연막 또는 층간절연막을 식각할 때, 컨택홀 또는 비아홀의 상부 모서리 부분을 나선행의 운동성을 가지는



플라즈마를 이용하여 등방성 식각함으로써 라운딩시키기 때문에, 컨택홀의 입구부분이 넓어진 효과를 보이며, 따라서 베리어금속막 형성 시 오버행이 발생하지 않고, 보이드의 발생없이 컨택홀의 내부가 금속물질로 완전히 매립되는 효과가 있다.

<28> 따라서, 보이드로 인해 유발되는 불량을 미연에 방지하여 소자의 신뢰성을 향상시킨다.

**【특허청구범위】****【청구항 1】**

반도체 기판의 구조물 상에 형성된 금속전절연막 또는 층간절연막을 선택적으로 식각하여 컨택홀 또는 비아홀을 형성함에 있어서, 나선형의 운동성을 가지는 플라즈마를 이용하여 상기 금속전절연막 또는 층간절연막을 식각하여 상기 컨택홀 또는 비아홀의 상부 모서리를 라운딩시키는 것을 특징으로 하는 반도체 소자의 접속홀 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 금속전절연막 또는 층간절연막을 선택적으로 식각할 때에는, 상기 금속전절연막 또는 층간절연막 상에 감광막을 도포하고 노광 및 현상하여 상기 컨택홀 또는 비아홀로 예정된 금속전절연막 또는 층간절연막을 노출시키는 감광막 패턴을 형성하고, 상기 감광막 패턴을 마스크로 하여 상기 금속전절연막 또는 층간절연막을 식각하는 것을 특징으로 하는 반도체 소자의 접속홀 형성 방법.

【청구항 3】

제 2 항에 있어서,

상기 금속전절연막 또는 층간절연막을 선택적으로 식각할 때에는 불소가 함유된 플로린 계열의 가스를 식각가스로 사용하는 것을 특징으로 하는 반도체 소자의 접속홀 형성 방법.

【청구항 4】

제 1 항 내지 제 3 항 중의 어느 한 항에 있어서, 상기 컨택홀 또는 비아홀을 형성한 후에는, 상기 컨택홀 또는 비아홀의 내벽 상에 베리어금속막을 형성하고, 상기 베리어금속막 상



1020030006405

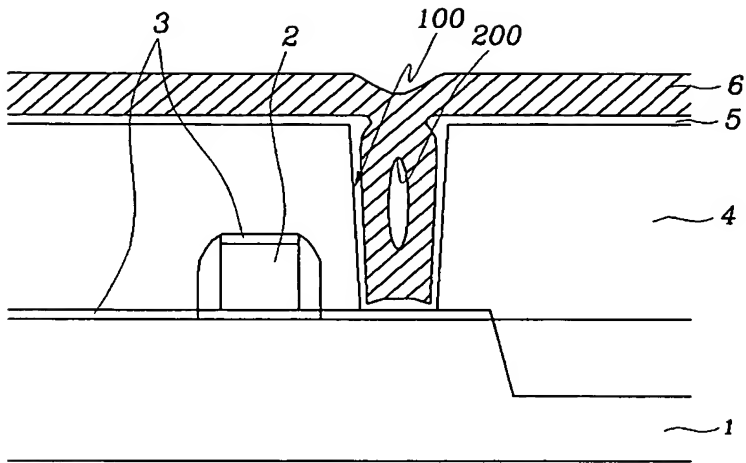
출력 일자: 2003/11/13

에 금속물질을 형성하여 상기 컨택홀 또는 비아홀의 내부를 매립하는 것을 특징으로 하는 반도체 소자의 접속홀 형성 방법.

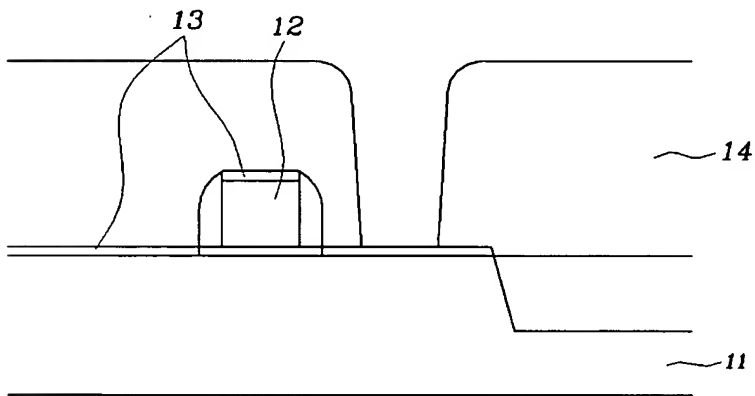


【도면】

【도 1】



【도 2a】



【도 2b】

